

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-203298

(43)Date of publication of application : 27.07.2001

(51)Int.Cl.

H01L 23/12

H01L 21/60

(21)Application number : 2000-010714

(71)Applicant : HITACHI LTD

(22)Date of filing : 19.01.2000

(72)Inventor : UJIE KENJI
ARITA JUNICHI

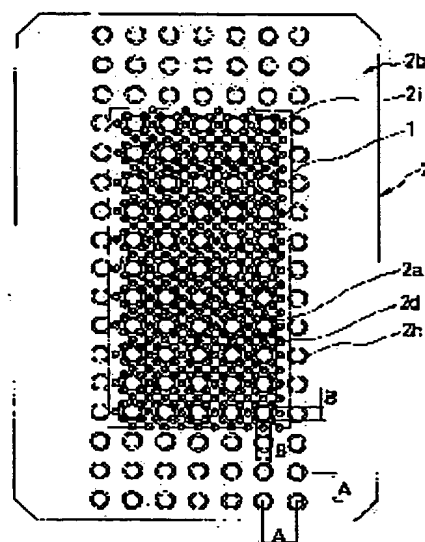
(54) SEMICONDUCTOR DEVICE AND PRODUCING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To shorten time and to reduce costs for the wiring design of a chip supporting substrate concerning a semiconductor device, with which a flip chip connection is performed.

SOLUTION: This device is composed of multiple bump electrodes for flip chip connection electrically connected with the pad of a semiconductor chip 1 and located in the shape of grid, a BGA substrate 2 for supporting the semiconductor chip 1 with the flip chip connection, and multiple solder balls provided in the shape of grid on the backside of the BGA substrate 1. Concerning multiple bump lands 2a for chip provided on a chip supporting plane 2b of the BGA substrate 2 and multiple bump lands 2h for external terminal provided on the backside, the bump lands 2a for chip are provided with the 1/2 install pitch of the bump lands 2h for external terminal and the bump lands 2a for chip and the bump lands 2h for external terminal are mutually provided while being regularly located. Thus, wiring layout such as location of through holes 2d can be facilitated.

図 4



1: 半導体チップ
2: BGA基盤
2a: チップ用バンプランド (チップ電極接続部)
2b: チップ支持面
2c: 外部端子用バンプランド (外部端子接続部)
2d: 外部端子用バンプランド (外部端子接続部)

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-203298

(P2001-203298A)

(43) 公開日 平成13年7月27日 (2001.7.27)

(51) Int.Cl.⁷

H 0 1 L 23/12
21/60

識別記号

3 1 1

F I

H 0 1 L 21/60
23/12

テームコード (参考)

3 1 1 S 5 F 0 4 4
L

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号 特願2000-10714 (P2000-10714)

(22) 出願日 平成12年1月19日 (2000.1.19)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 氏家 健二

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72) 発明者 有田 順一

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(74) 代理人 100080001

弁理士 筒井 大和

Fターム (参考) 5F044 KK11 QQ02

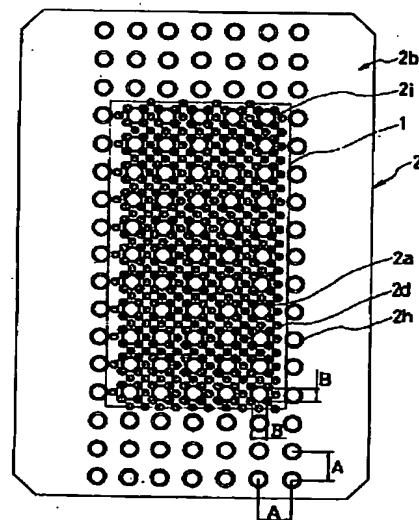
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 フリップチップ接続を行った半導体装置におけるチップ支持基板の配線設計の時間短縮とコスト低減を図る。

【解決手段】 半導体チップ1のパッドと電気的に接続し、かつ格子状に配置されたフリップチップ接続用の複数のバンプ電極と、フリップチップ接続によって半導体チップ1を支持するBGA基板2と、BGA基板2の裏面に格子状に設けられた複数のはんだボールとからなり、BGA基板2のチップ支持面2bに設けられた複数のチップ用バンプランド2aと、前記裏面に設けられた複数の外部端子用バンプランド2hとにおいて、チップ用バンプランド2aが外部端子用バンプランド2hの1/2の設置ピッチで設けられ、かつチップ用バンプランド2aと外部端子用バンプランド2hとが相互に規則性を有した配置で設けられていることにより、スルーホール2dの配置などの配線レイアウトを容易にできる。

図 4



1: 半導体チップ
2: BGA基板(チップ支持基板)
2a: チップ用バンプランド(バンプ電極搭載用端子)
2b: チップ支持面
2h: 外部端子用バンプランド(外部端子搭載用端子)

【特許請求の範囲】

【請求項1】 フリップチップ接続によって半導体チップが実装された半導体装置であって、前記半導体チップの表面電極と電気的に接続するフリップチップ接続用の複数のバンパ電極と、前記半導体チップを前記バンパ電極を介してフリップチップ接続によって支持するチップ支持基板と、前記チップ支持基板のチップ支持面と反対側の面に設けられた前記半導体装置の複数の外部端子とを有し、前記チップ支持基板の前記チップ支持面に設けられた複数のバンパ電極搭載用端子と、前記チップ支持面と反対側の面に設けられた複数の外部端子搭載用端子とにおいて、それぞれの設置ピッチおよび配置が前記バンパ電極搭載用端子と前記外部端子搭載用端子との間で相互に規則性を有して設けられていることを特徴とする半導体装置。

【請求項2】 フリップチップ接続によって半導体チップが実装された半導体装置であって、前記半導体チップの表面電極と電気的に接続するフリップチップ接続用の複数のバンパ電極と、前記半導体チップを前記バンパ電極を介してフリップチップ接続によって支持するチップ支持基板と、前記チップ支持基板のチップ支持面と反対側の面に設けられた前記半導体装置の複数の外部端子とを有し、前記チップ支持基板の前記チップ支持面に設けられた複数のバンパ電極搭載用端子と、前記チップ支持面と反対側の面に設けられた複数の外部端子搭載用端子とにおいて、前記バンパ電極搭載用端子が前記外部端子搭載用端子の1/2の設置ピッチで設けられるとともに、前記バンパ電極搭載用端子と前記外部端子搭載用端子とが相互に規則性を有した配置で設けられていることを特徴とする半導体装置。

【請求項3】 フリップチップ接続によって半導体チップが実装された半導体装置であって、前記半導体チップの表面電極と電気的に接続するフリップチップ接続用の複数のバンパ電極と、前記半導体チップを前記バンパ電極を介してフリップチップ接続によって支持するチップ支持基板と、前記チップ支持基板のチップ支持面と反対側の面に設けられた前記半導体装置の複数の外部端子とを有し、前記チップ支持基板の前記チップ支持面に設けられた複数のバンパ電極搭載用端子と、前記チップ支持面と反対側の面に設けられた複数の外部端子搭載用端子とにおいて、前記バンパ電極搭載用端子が前記外部端子搭載用端子の整数倍の設置ピッチで設けられるとともに、前記バンパ電極搭載用端子と前記外部端子搭載用端子とが相互に規則性を有した配置で設けられていることを特徴とする半導体装置。

【請求項4】 チップ支持面に設けられ、かつフリップチップ接続用のバンパ電極を搭載可能な複数のバンパ電

極搭載用端子と、前記チップ支持面と反対側の面に設けられた複数の外部端子搭載用端子とにおいて、それぞれの設置ピッチおよび配置が前記バンパ電極搭載用端子と前記外部端子搭載用端子との間で相互に規則性を有して設けられたチップ支持基板を準備する工程と、前記バンパ電極を介して半導体チップを前記チップ支持基板の前記チップ支持面にフリップチップ接続する工程と、前記バンパ電極が設けられた前記チップ支持基板の前記チップ支持面と反対側の面において、前記設置ピッチおよび前記配置が前記バンパ電極搭載用端子と相互に規則性を有して設置された複数の外部端子搭載用端子に半導体装置の外部端子を設ける工程とを有することを特徴とする半導体装置の製造方法。

【請求項5】 チップ支持面に設けられ、かつフリップチップ接続用のバンパ電極を搭載可能な複数のバンパ電極搭載用端子と、前記チップ支持面と反対側の面に設けられた複数の外部端子搭載用端子とにおいて、前記バンパ電極搭載用端子が前記外部端子搭載用端子の1/2の設置ピッチで設けられるとともに、前記バンパ電極搭載用端子と前記外部端子搭載用端子とが相互に規則性を有した配置で設けられたチップ支持基板を準備する工程と、前記バンパ電極を介して半導体チップを前記チップ支持基板の前記チップ支持面にフリップチップ接続する工程と、前記バンパ電極が設けられた前記チップ支持基板の前記チップ支持面と反対側の面において、半導体装置の複数の外部端子を前記バンパ電極の2倍の設置ピッチで、かつ前記バンパ電極と相互に規則性を有した配置で前記外部端子搭載用端子に設ける工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体製造技術に関し、特にBGA (Ball Grid Array)のチップ支持基板における配線設計の時間短縮とコスト低減に適用して有効な技術に関する。

【0002】

【従来の技術】以下に説明する技術は、本発明を研究、完成するに際し、本発明者によって検討されたものであり、その概要は次のとおりである。

【0003】キャッシュメモリなどの半導体集積回路が形成された半導体チップを有する半導体装置において、その小形化を図るパッケージ構造の一例としてBGAが知られている。このBGAは、半導体チップを支持するBGA基板(チップ支持基板)の裏面に外部端子であるはんだボールが複数個取り付けられたエリアアレイ構造のものであり、高密度実装に適した半導体パッケージでもある。

【0004】なお、キャッシュメモリ用などのBGAでは、ワイヤボンディング方式から電気特性に優れたフリップチップ接続方式が主流になりつつある。

【0005】このフリップチップ接続は、半導体チップの能動面(主面)をBGA基板のチップ支持面と対向させ、この状態で半導体チップを実装する技術であり、BGA基板のチップ用バンパランド(バンパ電極搭載用端子)にバンパ電極を配置し、前記バンパ電極を介して半導体チップを支持している。

【0006】ここで、フリップチップ接続を行ったBGAについては、例えば、特開平9-82756号公報、特開平9-92685号公報、特開平6-326211号公報および特開平7-111278号公報に記載されている。

【0007】

【発明が解決しようとする課題】ところが、前記した技術のフリップチップ接続において、半導体チップの表面電極のピッチおよび配置と、これを実装するBGA基板のチップ用バンパランドの設置ピッチおよび配置との関係は、特に規則が定められていない。

【0008】したがって、チップ支持面と反対側の面に設ける外部端子用バンパランドの設置ピッチが既に決まっているBGA基板に半導体チップをフリップチップ接続する場合、半導体チップの表面電極のピッチが任意であると、BGA基板のスルーホール配置や配線レイアウトが複雑化する。

【0009】その結果、BGA基板において配線のレイアウト設計に費やす時間が増加するという問題が起る。

【0010】また、BGA基板に、高価なビルドアップ基板や多層配線基板を適用しなければならず、コストアップになることが問題となる。

【0011】本発明の目的は、チップ支持基板の配線設計の時間短縮とコスト低減を図るフリップチップ接続の半導体装置およびその製造方法を提供することにある。

【0012】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0013】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0014】すなわち、本発明の半導体装置は、半導体チップの表面電極と電気的に接続するフリップチップ接続用の複数のバンパ電極と、前記半導体チップを前記バンパ電極を介してフリップチップ接続によって支持するチップ支持基板と、前記チップ支持基板のチップ支持面と反対側の面に設けられた前記半導体装置の複数の外部端子とを有し、前記チップ支持基板の前記チップ支持面に設けられた複数のバンパ電極搭載用端子と、前記チッ

プ支持面と反対側の面に設けられた複数の外部端子搭載用端子とにおいて、それぞれの設置ピッチおよび配置が前記バンパ電極搭載用端子と前記外部端子搭載用端子との間で相互に規則性を有して設けられているものである。

【0015】さらに、本発明の半導体装置は、半導体チップの表面電極と電気的に接続するフリップチップ接続用の複数のバンパ電極と、前記半導体チップを前記バンパ電極を介してフリップチップ接続によって支持するチップ支持基板と、前記チップ支持基板のチップ支持面と反対側の面に設けられた前記半導体装置の複数の外部端子とを有し、前記チップ支持基板の前記チップ支持面に設けられた複数のバンパ電極搭載用端子と、前記チップ支持面と反対側の面に設けられた複数の外部端子搭載用端子とにおいて、前記バンパ電極搭載用端子が前記外部端子搭載用端子の1/2の設置ピッチで設けられるとともに、前記バンパ電極搭載用端子と前記外部端子搭載用端子とが相互に規則性を有した配置で設けられているものである。

【0016】本発明によれば、バンパ電極搭載用端子から接続パターンやスルーホールを規則性を持たせて引き出すことが可能になり、その結果、チップ支持基板における配線レイアウト設計の時間を短縮することができる。また、配線長さを考慮した配線レイアウト設計を行うことができる。

【0017】したがって、配線レイアウトの自由度を増やして配線レイアウトの容易化を図ることができる。

【0018】また、本発明の半導体装置の製造方法は、チップ支持面に設けられ、かつフリップチップ接続用のバンパ電極を搭載可能な複数のバンパ電極搭載用端子と、前記チップ支持面と反対側の面に設けられた複数の外部端子搭載用端子とにおいて、それぞれの設置ピッチおよび配置が前記バンパ電極搭載用端子と前記外部端子搭載用端子との間で相互に規則性を有して設けられたチップ支持基板を準備する工程と、前記バンパ電極を介して半導体チップを前記チップ支持基板の前記チップ支持面にフリップチップ接続する工程と、前記バンパ電極が設けられた前記チップ支持基板の前記チップ支持面と反対側の面において、前記設置ピッチおよび前記配置が前記バンパ電極搭載用端子と相互に規則性を有して設置された複数の外部端子搭載用端子に半導体装置の外部端子を設ける工程とを有するものである。

【0019】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0020】図1は本発明の実施の形態における半導体装置(BGA)の構造の一例を分解して示す構成斜視図、図2は図1に示す半導体装置の構造とその実装状態

の一例を示す部分断面図、図3は図1に示す半導体装置に組み込まれる半導体チップを有したチップサイズパッケージの構造の一例を示す拡大平面図、図4は図1に示す半導体装置に用いられるBGA基板におけるバンパ電極搭載用端子と外部端子搭載用端子とスルーホール配置の一例を半導体チップおよびBGA基板を透過して示す平面図、図5は図4に示すBGA基板におけるバンパ電極搭載用端子とスルーホールと配線パターン配置の一例を示す拡大平面図、図6は図1に示す半導体装置の外部端子の配置とこれのピン番号の対応の一例を示す底面図、図7は図6に示す各外部端子の機能の一例を略語で示すピン機能図、図8は図7に示す外部端子の機能における各略語の詳細を説明するピン機能説明図である。

【0021】図1、図2に示す本実施の形態の半導体装置は、主面1bにメモリ（例えば、SSRAM（Synchronous Static Random Access Memory））などの半導体集積回路が形成された半導体チップ1をフリップチップ接続によってチップ支持基板であるBGA基板2に実装したものであり、例えば、エンジニアリングワークステーションの2次キャッシュ用のSSRAMなどであり、外部端子として複数のはんだボール3がBGA基板2の裏面2cに格子状に設けられたエリアアレイタイプのBGA9である。

【0022】なお、本実施の形態では、前記BGA9の一例として、119ピン（7×17ピン）のBGA9の場合を説明する。ただし、外部端子の数すなわちはんだボール3の設置数は、119個に限定されるものではなく、その数は119個未満であってもよく、あるいは153個などの119個以上であってもよい。

【0023】また、本実施の形態で説明するBGA9では、はんだボール3が、図1および図6に示すように、BGA基板2のチップ支持面2bと反対側の面である裏面2cに格子状（7×17）に配列されて設けられている。

【0024】さらに、本実施の形態では、半導体チップ1として、その主面1bに形成されたパッド1a（表面電極）の配置をバンパ電極4用の格子状の配置に置き換える図3に示すような再配線6aが形成されたチップサイズパッケージ6を用いる場合を説明する。

【0025】つまり、図2に示す半導体チップ1の主面1b上には、図3に示すような半導体製造工程の前工程で形成された絶縁膜1dと再配線6aとが形成されており、この再配線6aによってパッド1aの配列をバンパ電極4用の格子状の配列に置き換えている。

【0026】これにより、半導体チップ1からの信号は、再配線6aおよびBGA基板2を介してその裏面2cの外部端子であるはんだボール3に伝えられる。

【0027】続いて、前記BGA9の構成について説明すると、フリップチップ接続によって半導体チップ1が実装されるものであり、半導体チップ1のパッド1a

（表面電極）と電気的に接続し、かつ格子状に配置されたフリップチップ接続用の複数のバンパ電極4と、半導体チップ1を複数のバンパ電極4を介してフリップチップ接続によって支持するBGA基板2（チップ支持基板）と、BGA基板2の裏面2cに格子状に設けられたBGA9の外部端子である複数のはんだボール3と、半導体チップ1の背面1cに接着剤7によって取り付けられた保護カバー8とからなり、BGA基板2のチップ支持面2bに設けられた複数のチップ用バンパランド2a（バンパ電極搭載用端子）と、裏面2cに設けられた複数の外部端子用バンパランド2h（外部端子搭載用端子）とにおいて、チップ用バンパランド2aが外部端子用バンパランド2hの1/2の設置ピッチで設けられるとともに、チップ用バンパランド2aと外部端子用バンパランド2hとが相互に規則性を有した配置で設けられている。

【0028】すなわち、本実施の形態のBGA9のBGA基板2では、図4に示すように、そのチップ支持面2bに格子状配置で形成された複数のチップ用バンパランド2aの設置ピッチが、チップ支持面2bの裏面2c側に格子状配置で形成された複数の外部端子用バンパランド2hの設置ピッチの1/2で設けられ、かつチップ支持面2bのチップ搭載領域において、裏面2c側の1つの円形の外部端子用バンパランド2hの外周に対応して4つの小さな円形のチップ用バンパランド2aが四角形を成すような規則性を有して配置され、これにより、チップ支持面2b側のチップ用バンパランド2aと裏面2c側の外部端子用バンパランド2hとが相互に規則性を有した状態で配置されている。

【0029】つまり、BGA基板2の裏面2cの1つの円形の外部端子用バンパランド2hの外周に対応するように、チップ支持面2bにおいて四角に配置された4つの小さなチップ用バンパランド2aが設けられている。

【0030】なお、図4は、BGA基板2のチップ支持面2bに半導体チップ1を有したチップサイズパッケージ6（図3参照）を実装した状態のものを、その上方から半導体チップ1およびBGA基板2を透過してチップ用バンパランド2a、外部端子用バンパランド2h、貫通タイプのスルーホール2dおよび接続パターン2iの配置を示したものである。

【0031】ここで、エンジニアリングワークステーションの2次キャッシュ用のSSRAMの場合のBGA基板2におけるチップ用バンパランド2aとスルーホール2dの配置関係の詳細を、図5を用いて説明する。

【0032】なお、前記SSRAMの場合、BGA基板2の裏面2cに格子状に配置された外部端子であるはんだボール3の設置ピッチは、縦横とも、一般的に1.27mmである。したがって、図5に示すチップ用バンパランド2aの設置ピッチ（B）は、本実施の形態のBGA9では、1.27mmの1/2で、B=0.635mmとな

る。

【0033】また、配線レイアウトルールとして、ラインパターン/スペース=0.05mm/0.05mm、チップ用バンブランド2aの直径/ソルダレジスト開口部2eの直径=Φ0.25mm/Φ0.35mm、スルーホール2dの直径/スルーホールランド2jの直径=Φ0.20mm/Φ0.30mm、ソルダレジスト位置ずれ公差=0.05mmとし、さらに、図5における四角に配置された4つのチップ用バンブランド2aのうち、向かって右下に配置されたチップ用バンブランド2aと接続パターン2iによって接続しているスルーホールランド2jの中心を、このチップ用バンブランド2aと向かって左下のチップ用バンブランド2aとの中心に配置し、かつスルーホールランド2jの端部と向かって左下のチップ用バンブランド2aのソルダレジスト開口部2eの端部との距離(F)を $F=0.05\text{mm}$ とすると、向かって左上のチップ用バンブランド2aのソルダレジスト開口部2eの端部とスルーホールランド2jの端部との距離(E)は、 $E \approx 0.22\text{mm}$ となる。

【0034】この(E)の値は、図5において、 $C = 0.635 - H$ と、 $H^2 + G^2 = I^2$ とにより、 $C = 0.635 - \sqrt{I^2 - G^2}$ となり、これにより、 $C = 0.635 - \sqrt{((0.35/2 + 0.05 + 0.3/2)^2 - (0.635/2)^2)} \approx 0.635 - 0.20 = 0.435$ 、また、 $C^2 + G^2 = D^2$ により、 $D = \sqrt{G^2 + C^2}$ となつて、 $D = \sqrt{((0.635/2)^2 + C^2)} \approx 0.54$ 、さらに、 $E = D - 0.35/2 - 0.3/2 \approx 0.22$ によって求められる。

【0035】その際、左上のチップ用バンブランド2aのソルダレジスト開口部2eの端部とスルーホールランド2jの端部との間にラインパターンである配線パターン2kを1本通す場合には、ソルダレジスト位置ずれ公差(0.05mm)+配線パターン2kの幅(0.05mm)+配線間距離(0.05mm)=0.15mm必要であるが、前記距離(E)は、 $E \approx 0.22\text{mm}$ であるとともに、 $E \geq 0.15\text{mm}$ である。

【0036】したがって、前記距離(E)は、必要とされる距離(0.15mm)より十分大きいので、図5の左上のチップ用バンブランド2aのソルダレジスト開口部2eの端部とスルーホールランド2jの端部との間にラインパターンである配線パターン2kを形成する(引き回す)ことができる。

【0037】このように、BGA基板2のチップ支持面2bにおいてチップ用バンブランド2a間にスルーホール2dと配線パターン2kを形成可能であることは、配線レイアウト設計上、配線設計の自由度を増やすことができ、かつ設計時間の短縮を図ることができる。本実施の形態の図4に示すBGA基板2では、チップ用バンブランド2aとスルーホール2dとを規則的に、かつほぼ1対1の割合で配置できる。

【0038】また、BGA9におけるフリップチップ接続は、チップサイズパッケージ6における半導体チップ1の能動面(主面1b)をBGA基板2のチップ支持面2bと対向させ、この状態(フェイスダウン)で半導体チップ1をはんだなどからなるバンパ電極4を介してBGA基板2に実装するものである。

【0039】なお、本実施の形態のBGA9における半導体チップ1は、チップサイズパッケージ6でもあるため、予め、半導体チップ1の主面1bの絶縁膜1d上に、図3に示すように、はんだによるバンパ電極4が格子状に配置されたものを用いている。

【0040】また、BGA基板2は、例えば、2~4層程度の多層配線基板であり、チップ支持面2bに形成されたチップ用バンブランド2aからその裏面2cに形成された外部端子用バンブランド2hまでを図2に示すような貫通タイプのスルーホール2dによって電気的に接続することができる。

【0041】さらに、多層配線基板であるBGA基板2の内部には、電気的特性を向上させるために、GND用ベタ配線2fと電源用ベタ配線2gが形成されている。

【0042】また、半導体チップ1とBGA基板2の間には、図1および図2に示すように、エポキシ樹脂などによるアンダーフィル5が充填され、これによって、フリップチップ接続によるはんだ接続の接続信頼性を向上できる。

【0043】また、本実施の形態のBGA9の半導体チップ1の背面1cには、図2に示すような保護カバー8が、シリコン接着剤などの接着剤7によって取り付けられている。

【0044】なお、保護カバー8は、例えば、ステンレス鋼などの金属板によって形成され、本実施の形態のBGA9の保護カバー8には、半導体チップ1の側面1eも保護可能なように、下方への折り曲げが形成されている。

【0045】また、エンジニアリングワークステーションの2次キャッシュ用のSSRAMのBGA9では、このBGA9の近傍に、例えば、同様のBGA構造のCPU(Central Processing Unit)などが実装されており、図2に示すように、リフローなどによって実装基板10に実装され、これにより、外部端子である各はんだボール3がリフローによって溶けて実装基板10の各基板側端子10aと電気的に接続されている。

【0046】なお、図6、図7および図8は、BGA9において、そのBGA基板2の裏面2cに格子状に配置された119個の外部端子であるはんだボール3のピン番号と、各ピンの機能とをマトリクス配置で対応させて示したものである。

【0047】次に、本実施の形態による半導体装置(BGA9)の製造方法について説明する。

【0048】なお、前記半導体装置の製造方法は、図

1、図2に示す119ピンのBGA9の製造方法であるが、外部端子の数は、119ピンに限定されるものではなく、119ピン以外のものであってもよい。

【0049】まず、メモリなどの所望の半導体集積回路が形成された複数の半導体チップ1を準備する。

【0050】本実施の形態では、半導体チップ1の主面1bに形成されたパッド1aの配置をバンパ電極4用の格子状の配置に置き換える図3に示すような再配線6aが形成されたチップサイズパッケージ6を準備する。

【0051】すなわち、チップサイズパッケージ6の半導体チップ1の主面1b上には、半導体製造工程の前工程で形成された絶縁膜1dと再配線6aとが形成されており、この再配線6aによってパッド1aの配列をバンパ電極4用の格子状の配列に置き換えている。

【0052】なお、この半導体チップ1上に格子状にはんだによるバンパ電極4を形成する際には、はんだ印刷を行って、これをリフローしてバンパ電極4を形成する。

【0053】一方、チップ支持面2bに設けられ、かつフリップチップ接続用のバンパ電極4を搭載可能な複数のチップ用バンパランド2aと、チップ支持面2bと反対側の裏面2cに設けられた複数の外部端子用バンパランド2hとにおいて、チップ用バンパランド2aが外部端子用バンパランド2hの1/2の設置ピッチで設けられるとともに、チップ用バンパランド2aと外部端子用バンパランド2hとが相互に規則性を有した配置で設けられた図4に示すBGA基板2（チップ支持基板）を準備する。

【0054】ここで、本実施の形態で用いるBGA基板2は、図4に示すように、チップ支持面2bのチップ搭載領域において、そのチップ支持面2bに形成されたチップ用バンパランド2aの設置ピッチ（0.635mm）が、チップ支持面2bの裏面2c側に形成された外部端子用バンパランド2hの設置ピッチ（1.27mm）の1/2で設けられ、かつ1つの円形の外部端子用バンパランド2hの外周に対応して4つの小さな円形のチップ用バンパランド2aが四角形を成すような規則性を有して配置され、これにより、チップ用バンパランド2aと外部端子用バンパランド2hとが相互に規則性を有した状態で配置されている。

【0055】すなわち、BGA基板2の裏面2cの1つの円形の外部端子用バンパランド2hの外周に対応するように、チップ支持面2bのチップ搭載領域において四角に配置された4つの小さなチップ用バンパランド2aが設けられている。

【0056】これにより、本実施の形態のBGA基板2では、チップ支持面2b側のチップ用バンパランド2aとその裏面2c側の外部端子用バンパランド2hとを電気的に接続する貫通タイプのスルーホール2dが、BGA基板2のチップ搭載領域に規則的に、かつチップ用バ

ンパランド2aとほぼ1対1の割合で設けられている。

【0057】その後、バンパ電極4を介してチップサイズパッケージ6の半導体チップ1をBGA基板2のチップ支持面2bにフリップチップ接続する。

【0058】その際、まず、図3に示すように、チップサイズパッケージ6の半導体チップ1の絶縁膜1dに格子状に配置されたそれぞれのバンパ電極4と、これに対応するBGA基板2のチップ支持面2bの各チップ用バンパランド2aとの位置を合わせ、かつ、半導体チップ1の主面1bとBGA基板2のチップ支持面2bとを対向させてフェイスダウンの状態ではんだ基板2のチップ支持面2b上に半導体チップ1すなわちチップサイズパッケージ6を配置する。

【0059】続いて、リフローを行って、はんだのバンパ電極4を溶解し、それぞれのバンパ電極4とBGA基板2のチップ用バンパランド2aとを接続する。

【0060】これにより、フリップチップ接続が完了する。

【0061】その後、転写によって、BGA基板2の裏面2cの各外部端子用バンパランド2hに外部端子である119個のはんだボール3を設ける。

【0062】なお、BGA9の外部端子であるはんだボール3の格子状の配置を示したものが図6である。

【0063】続いて、半導体チップ1とBGA基板2とのフリップチップ接続部に対して、エポキシ系の樹脂などを塗布してアンダーフィル5を形成する。

【0064】その後、半導体チップ1の背面1cにシリコーン接着剤などの接着剤7を塗布し、ここに保護カバー8を取り付ける。

【0065】これにより、図1、図2に示すようなBGA9を製造することができる。

【0066】本実施の形態の半導体装置（BGA9）およびその製造方法によれば、以下のような作用効果が得られる。

【0067】すなわち、BGA基板2において、チップ用バンパランド2aが外部端子用バンパランド2hの1/2の設置ピッチで設けられ、かつチップ用バンパランド2aと外部端子用バンパランド2hとが相互に規則性を有した配置で設けられていることにより、チップ用バンパランド2aから接続パターン2iやスルーホール2dを規則性を持たせて引き出すことが可能になる。

【0068】ここで、本実施の形態のBGA9のBGA基板2に対する図12に示す比較例のBGA基板11について説明する。

【0069】図12に示す比較例のBGA基板11は、チップ用バンパランド2aの設置ピッチと外部端子用バンパランド2hの設置ピッチとが無関係で、かつ両者が相互に規則性の無い配置の場合である。

【0070】例えば、BGA基板11では、外部端子用バンパランド2hの設置ピッチ（A）が、 $A=1.27\text{m}$

mであり、チップ用バンブランド2aの設置ピッチ(B)が、 $B=0.70\text{mm}$ である。さらに、外部端子用バンブランド2hの位置に対するチップ用バンブランド2aの配置を無関係なものとしている。なお、図12ではBGA基板11におけるチップ搭載領域の1/4領域のみにスルーホール2dを配置したが、このように、チップ用バンブランド2aと接続パターン2iによって接続されたスルーホール2dは、外部端子用バンブランド2hと重ならないように1つずつ場所を探しながら配置するため、スルーホール2dの配置が非常に複雑なものとなり、配置するのに時間が掛かる上、配線経路も複雑になる。

【0071】したがって、本実施の形態の図4に示すBGA基板2の方が明らかにその配線レイアウト設計が容易である。

【0072】つまり、図4に示す本実施の形態のBGA基板2によれば、その配線レイアウト設計の時間を短縮することができるとともに、配線長さを考慮した配線レイアウト設計を行うことができ、その結果、配線レイアウトの自由度を増やして配線レイアウトの容易化を図ることができる。

【0073】また、チップ用バンブランド2aからスルーホール2dを規則性を持たせて引き出すことが可能になるため、貫通タイプのスルーホール2dのみの設計で済み、したがって、ビルドアップ基板や張り合わせ基板などの高価な多層配線基板を使用しなくて済む。

【0074】その結果、BGA基板2の低コスト化を図ることができ、これにより、フリップチップ接続が行われるBGA9の低コスト化を実現できる。

【0075】また、フリップチップ接続を行う半導体チップ1として、そのパッド1aの配置をバンパ電極4用の格子状の配置に置き換える再配線6aが形成されたチップサイズパッケージ6を用いることにより、チップサイズパッケージ単体としてもこれを出荷することができる。

【0076】また、半導体チップ1の背面1cに、これを保護する保護カバー8が取り付けられていることにより、温度サイクルテストなどにおける半導体チップ1の破損を防ぐことができるとともに、モールドによる封止と比較して放熱性を高めることができ、その結果、BGA9の性能を向上できる。

【0077】さらに、出荷先で放熱フィンなどを取り付ける場合にも、モールドによる樹脂と比べて保護カバー8の方が前記放熱フィンの接合性が高く、その結果、BGA9の放熱性をさらに高めることができる。

【0078】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0079】例えば、前記実施の形態では、BGA基板2において、必ずしも全てのチップ用バンブランド2aにスルーホール2dが接続されていない場合を説明したが、図9に示す他の実施の形態のBGA基板2のように、全てのチップ用バンブランド2aに接続パターン2iを介してスルーホール2dを接続してもよい。

【0080】すなわち、図9に示す他の実施の形態のBGA基板2は、そのチップ搭載領域において、チップ用バンブランド2aおよび外部端子用バンブランド2hの設置ピッチを前記実施の形態の場合と同様にそれぞれ 0.635mm 、 1.27mm とし、かつチップ搭載領域の外部端子用バンブランド2hにチップ用バンブランド2aが重複するような規則によって両者を配置したものであり、チップ支持面2bのチップ搭載領域において、全てのチップ用バンブランド2aに接続パターン2iを介してスルーホール2dを配置したものである。

【0081】これによれば、配線レイアウトの自由度は、前記実施の形態のものより劣るが、前記チップ搭載領域においてチップ用バンブランド2aと外部端子用バンブランド2hとに規則性を持たせて両者を配置することは可能である。

【0082】また、図10に示す他の実施の形態のBGA基板2のように、チップ用バンブランド2aと外部端子用バンブランド2hの設置ピッチを等しくしてもよい。

【0083】すなわち、図10に示すBGA基板2は、チップ用バンブランド2aと外部端子用バンブランド2hの設置ピッチを両者とも 1.27mm とし($A=B$)、かつチップ搭載領域において外部端子用バンブランド2hとチップ用バンブランド2aとが重複するような規則によって両者を配置したものである。

【0084】このような配置によるBGA基板2としても、図10に示すように、スルーホール2dの配置などを容易に行うことができ、したがって、前記実施の形態の作用効果と同様の作用効果を得ることができる。さらに、チップ用バンブランド2aの設置ピッチを外部端子用バンブランド2hの設置ピッチの整数倍あるいは任意の倍数としてもよく、これによっても前記実施の形態の作用効果と同様の作用効果を得ることができる。

【0085】また、前記実施の形態および前記他の実施の形態では、BGA9の外部端子であるはんだボール3の設置ピッチが 1.27mm の場合について説明したが、はんだボール3の設置ピッチは、 1.27mm 以外のものであってもよい。

【0086】また、前記実施の形態では、図2に示すように、保護カバー8に、半導体チップ1の側面1eも保護可能な折り曲げが形成されている場合を説明したが、図11に示す他の実施の形態のBGA9のように、保護カバー8は、折り曲げを有さない平坦な形状のものであってもよい。

【0087】さらに、保護カバー8の代わりとしてモールドによる封止を行ってもよい。

【0088】また、前記実施の形態では、半導体チップ1として、主面1bに絶縁膜1dが形成され、かつこの絶縁膜1dに再配線6aが形成されたチップサイズパッケージ6を用いる場合について説明したが、再配線6aを有していない半導体チップ1を用いてもよい。

【0089】また、前記実施の形態および前記他の実施の形態では、前記半導体装置がBGA9の場合について説明したが、前記半導体装置は、チップ支持基板を有して、かつフリップチップ接続を行うとともに、チップ支持基板の裏面2cに外部端子を配置するエリアレイアウトのものであれば、BGA以外のPGA (Pin Grid Array) やLGA (Land Grid Array) などであってもよい。

【0090】なお、前記半導体装置は、SSRAMなどのメモリの半導体チップ1を搭載したものに限らず、例えば、マイコンまたはASIC (Application Specific Integrated Circuit)、あるいはロジック機能の半導体チップ1を搭載したものであってもよい。

【0091】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0092】(1) 半導体装置のチップ支持基板においてバンパ電極搭載用端子が外部端子搭載用端子の1/2または整数倍の設置ピッチで設けられ、かつバンパ電極搭載用端子と外部端子搭載用端子とが相互に規則性を有した配置で設けられていることにより、接続パターンやスルーホールを規則性を持たせて引き出すことが可能になる。これにより、チップ支持基板における配線レイアウト設計の時間を短縮することができ、その結果、配線レイアウトの自由度を増やして配線レイアウトの容易化を図ることができる。

【0093】(2) バンパ電極搭載用端子からスルーホールを規則性を持たせて引き出すことが可能になるため、貫通スルーホールのみで済み、したがって、ビルドアップ基板などの高価な多層配線基板を使用しなくて済む。その結果、チップ支持基板の低コスト化を図ることができ、これにより、半導体装置の低コスト化を実現できる。

【図面の簡単な説明】

【図1】本発明の実施の形態における半導体装置(BGA)の構造の一例を分解して示す構成斜視図である。

【図2】図1に示す半導体装置の構造とその実装状態の一例を示す部分断面図である。

【図3】図1に示す半導体装置に組み込まれる半導体チップを有したチップサイズパッケージの構造の一例を示す拡大平面図である。

【図4】図1に示す半導体装置に用いられるBGA基板

におけるバンパ電極搭載用端子と外部端子搭載用端子とスルーホールの配置の一例を半導体チップおよびBGA基板を透過して示す平面図である。

【図5】図4に示すBGA基板におけるバンパ電極搭載用端子とスルーホールと配線パターンの配置の一例を示す拡大平面図である。

【図6】図1に示す半導体装置の外部端子の配置とこれのピン番号の対応の一例を示す底面図である。

【図7】図6に示す各外部端子の機能の一例を略語で示すピン機能図である。

【図8】図7に示す外部端子の機能における各略語の詳細を説明するピン機能説明図である。

【図9】本発明の他の実施の形態の半導体装置に用いられるBGA基板におけるバンパ電極搭載用端子と外部端子搭載用端子とスルーホールの配置を半導体チップおよびBGA基板を透過して示す平面図である。

【図10】本発明の他の実施の形態の半導体装置に用いられるBGA基板におけるバンパ電極搭載用端子と外部端子搭載用端子とスルーホールの配置を半導体チップおよびBGA基板を透過して示す平面図である。

【図11】本発明の他の実施の形態の半導体装置の構造を示す断面図である。

【図12】本発明の半導体装置に対する比較例の半導体装置に用いられるBGA基板におけるバンパ電極搭載用端子と外部端子搭載用端子とスルーホールの配置を半導体チップおよびBGA基板を透過して示す平面図である。

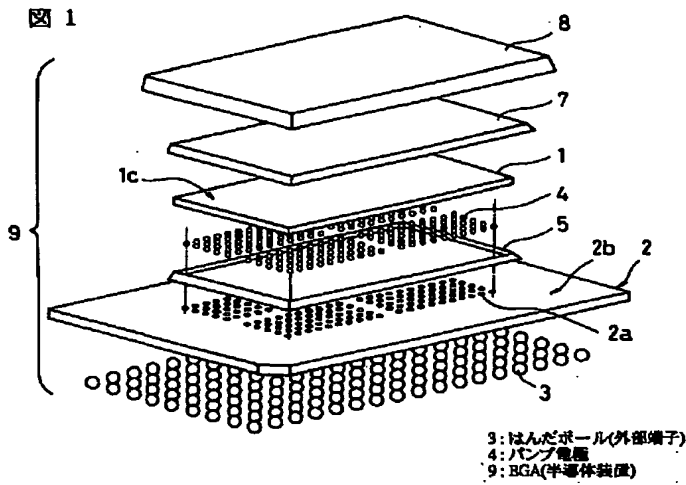
【符号の説明】

- 1 半導体チップ
- 1a パッド(表面電極)
- 1b 主面
- 1c 背面
- 1d 絶縁膜
- 1e 側面
- 2 BGA基板(チップ支持基板)
- 2a チップ用バンパランド(バンパ電極搭載用端子)
- 2b チップ支持面
- 2c 裏面(反対側の面)
- 2d スルーホール
- 2e ソルダレジスト開口部
- 2f GND用ベタ配線
- 2g 電源用ベタ配線
- 2h 外部端子用バンパランド(外部端子搭載用端子)
- 2i 接続パターン
- 2j スルーホールランド
- 2k 配線パターン
- 3 はんだボール(外部端子)
- 4 バンパ電極
- 5 アンダーフィル
- 6 チップサイズパッケージ

6a 再配線
7 接着剤
8 保護カバー
9 BGA (半導体装置)

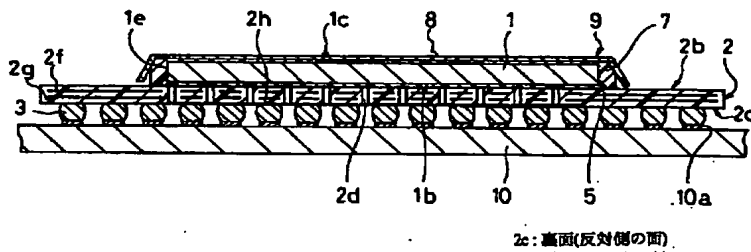
10 実装基板
10a 基板側端子
11 BGA基板

【図1】



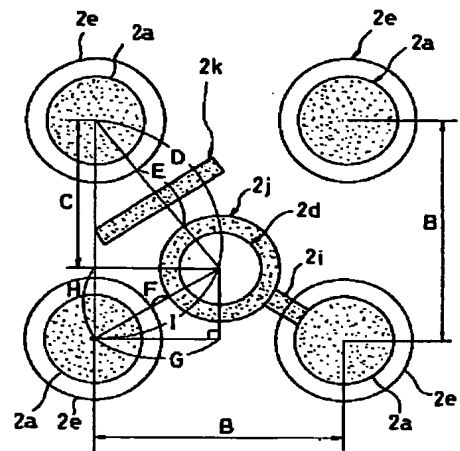
【図2】

図 2



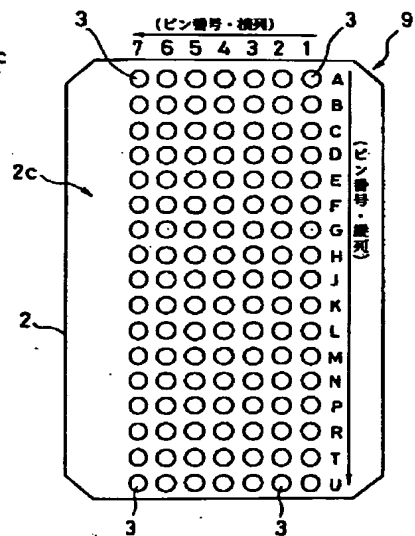
【図5】

図 5

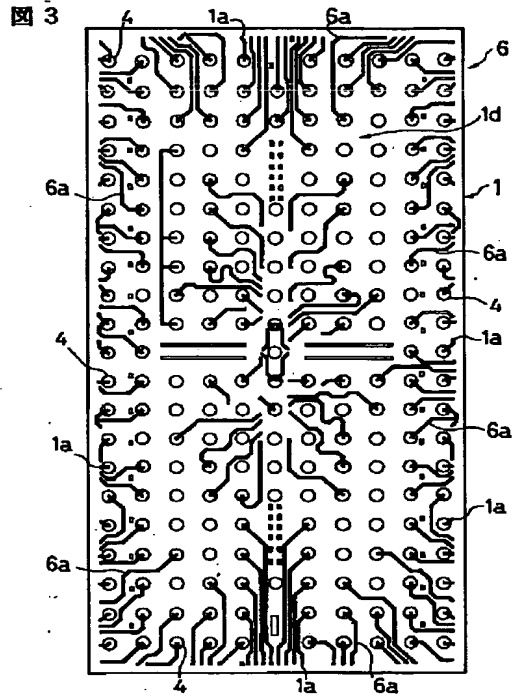


【図6】

図 6.

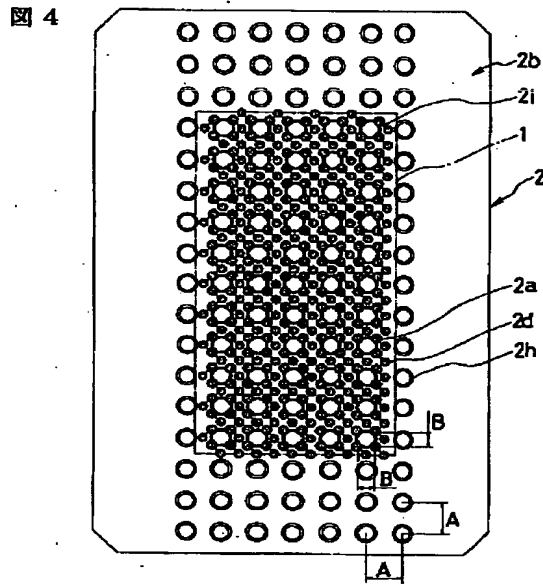


【図3】



1a: パッド(表面電極)

【図4】



- 1: 半導体チップ
 2: BGA基板(チップ支持基板)
 2a: チップ用パンフランド(パンフ電極搭載用端子)
 2b: チップ支持面
 2h: 外部端子搭載用端子(外部端子搭載用端子)

【図7】

図7

	1	2	3	4	5	6	7
A	Vddq	A	A	NC	A	A	Vddq
B	NC	NC	A	NC	A	NC	NC
C	NC	A	A	Vdd	A	A	NC
D	DQ	NC	Vss	ZQ	Vss	DQ	NC
E	NC	DQ	Vss	Vss	Vss	NC	DQ
F	Vddq	NC	Vss	Vss	Vss	DQ	Vddq
G	NC	DQ	/BWS1	NC	Vss	DQ	NC
H	DQ	NC	Vss	NC	Vss	DQ	NC
J	Vddq	Vdd	Vref	Vdd	Vref	Vdd	Vddq
K	NC	DQ	Vss	K	Vss	NC	DQ
L	DQ	NC	/Vss	/K	/BWS0	DQ	NC
M	Vddq	DQ	Vss	/WE	Vss	NC	Vddq
N	DQ	NC	Vss	A	Vss	DQ	NC
P	NC	DQ	Vss	A	Vss	NC	DQ
R	NC	A	M1	Vdd	M2	A	NC
T	NC	A	A	NC	A	A	ZZ
U	Vddq	TMS	TDI	TCK	TDO	NC	Vddq

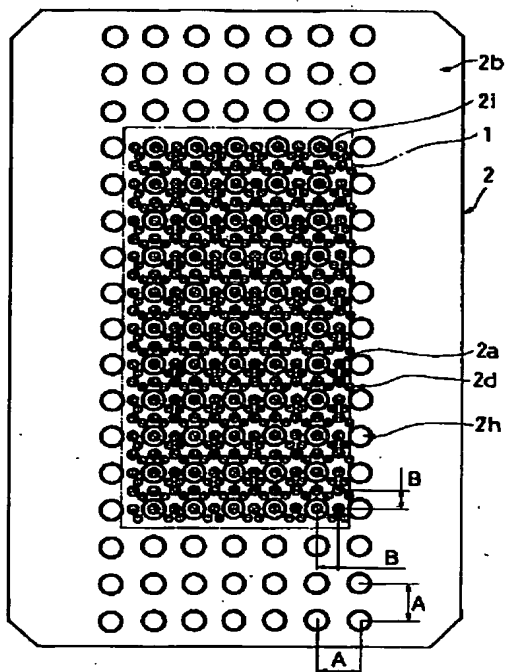
【图8】

图 8

Signal	Description
Vdd	Power supply voltage
Vddq	Output supply voltage
Vref	Input reference voltage
Vss	GND
K/K	Differential shifted LV-PECL clock
A	Address
/WE	Write enable
/SS	Address select
ZQ	Output impedance control
DQ	Data
/BWS	Byte write selects
ZZ	Chip enable
M1,M2	Mode select
TMS,TDI,TCK	IEEE 1149 test input
TDO	IEEE 1149 test output

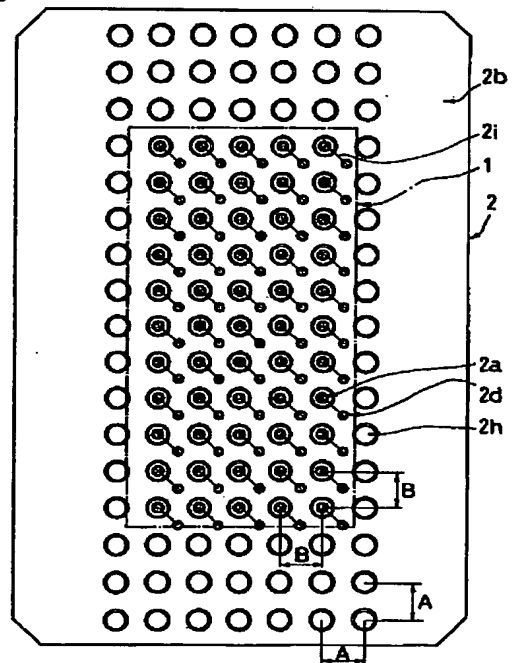
【图9】

图 9



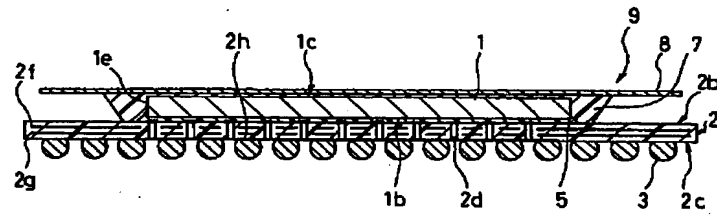
【图10】

图 10



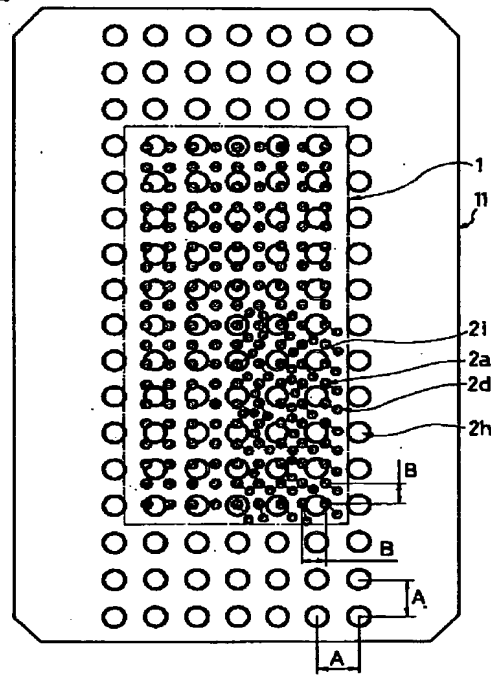
【図11】

図11



【図12】

図12



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)